

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平11-511879

(43) 公表日 平成11年(1999)10月12日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 12/00

3/08

G 1 1 C 16/02

識別記号

5 4 2

F I

G 0 6 F 12/00

3/08

G 1 1 C 17/00

5 4 2 A

H

6 0 1 A

審査請求 未請求 予備審査請求 有 (全 18 頁)

(21) 出願番号 特願平8-532831  
(86) (22) 出願日 平成8年(1996)2月6日  
(85) 翻訳文提出日 平成10年(1998)3月27日  
(86) 国際出願番号 PCT/GB96/00250  
(87) 国際公開番号 WO97/12325  
(87) 国際公開日 平成9年(1997)4月3日  
(31) 優先権主張番号 9519670.5  
(32) 優先日 1995年9月27日  
(33) 優先権主張国 イギリス (GB)  
(81) 指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), CN, JP, KR, SG, U S

(71) 出願人 メモリー・コーポレーション・ピー・エル・シー  
イギリス国、エジンバラ・イー・エイチ・22・2・エヌ・エー、ダルキース、ダルキース・パレス、ザ・コンピューター・ハウス (番地なし)  
(72) 発明者 シンクレア, アラン・ウエルシュ  
イギリス国、ケンブリッジ・シー・ビー・4・4・テイー・エー、コツテナム、ラムズ・レイン・102  
(74) 代理人 弁理士 川口 義雄 (外1名)

(54) 【発明の名称】 メモリシステム

(57) 【要約】

ディスク装置をエミュレートするソリッドステートメモリであって、論理セクタアドレスをメインメモリアドレスに変換する変換手段と、ブロック単位で消去可能な不揮発性メモリセルから構成されるメインメモリとを備え、メインメモリ内の書き込まれていない位置を指すために第一のポインタが使用され、前記書き込まれていない位置を含む消去可能ブロックの次の消去されていない消去可能ブロックを指すために第二のポインタが使用され、第一のポインタと第二のポインタの間に少なくとも一つの消去状態の消去可能ブロックが常にあることを保証すべく制御手段が設けられていることを特徴とするソリッドステートメモリ。

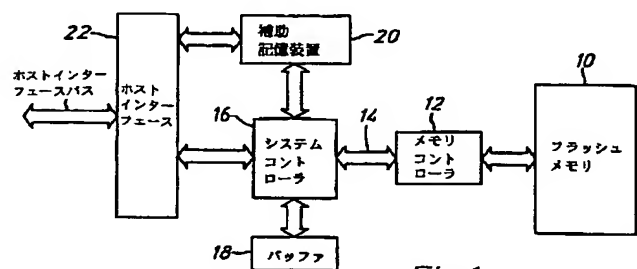


Fig. 1

## 【特許請求の範囲】

1. 予め定義された物理アドレスをそれぞれが有する複数の記憶手段と、論理アドレスを前記予め定義された物理アドレスの一つに変換する変換手段とを含み、前記記憶手段が、ブロック単位で消去可能な不揮発性メモリセルから構成されるメモリ装置であって、前記メモリが、空いている記憶手段を指す第一のポインタを記憶する手段と、所定の順序に従って、前記書き込まれていない位置を含む消去可能ブロックの次の消去されていない消去可能ブロックを指す第二のポインタを記憶する手段とを含み、第一のポインタが指す記憶手段と第二のポインタが指す記憶手段の間に、少なくとも一つの空の消去可能ブロックが常にあることを保証すべく制御手段が設けられていることを特徴とするメモリ装置。
2. 記憶装置内の前記書き込まれていない位置が記憶装置の最も下位の書き込まれていない位置であることを特徴とする請求の範囲第1項に記載のソリッドステートメモリ。
3. 記憶装置内の前記書き込まれていない位置が記憶装置の最も上位の書き込まれていない位置であることを特徴とする請求

の範囲第1項に記載のソリッドステートメモリ。

4. 前記書き込まれていない位置を含む消去可能ブロックの次順の消去されていない消去可能ブロックが、第一のポインタより上の最も下位の物理アドレスを有する消去されていない消去可能ブロックであることを特徴とする請求の範囲第1項または第2項に記載のソリッドステートメモリ。
5. 前記書き込まれていない位置を含む消去可能ブロックの次順の消去されていない消去可能ブロックが、第一のポインタより下の最も上位の物理アドレスを有する消去されていない消去可能ブロックであることを特徴とする請求の範囲第1項または第3項に記載のソリッドステートメモリ。
6. 前記書き込まれていない位置を含む消去可能ブロックの次順の消去されていない消去可能ブロックが適当なアルゴリズムによって決定されることを特徴とする請求の範囲第1項から第5項のいずれか一項に記載のソリッドステートメモリ。

7. 記憶装置へのデータの書込み速度を向上させるためにバッファを使用することを特徴とする請求の範囲第1項から第6項のいずれか一項に記載のソリッドステートメモリ。

8. 前記バッファがSRAMバッファであることを特徴とする

請求の範囲第7項に記載のソリッドステートメモリ。

9. 前記バッファがDRAMバッファであることを特徴とする請求の範囲第7項に記載のソリッドステートメモリ。

10. 前記記憶装置がフラッシュEPROMであることを特徴とする請求の範囲第1項から第9項のいずれか一項に記載のソリッドステートメモリ。

11. 前記記憶装置がカルコゲニドセルから構成されることを特徴とする請求の範囲第1項から第10項のいずれか一項に記載のソリッドステートメモリ。

12. 前記記憶装置がフェロオプティックメモリであることを特徴とする請求の範囲第1項から第11項のいずれか一項に記載のソリッドステートメモリ。

13. 前記制御手段が、マイクロプロセッサ、マイクロコントローラ、またはステートマシンによって提供されることを特徴とする請求の範囲第1項から第12項のいずれか一項に記載のソリッドステートメモリ。

## 【発明の詳細な説明】

メモリシステム

本発明はメモリシステムに関し、具体的には、ブロック構造のデータを記憶するメモリシステムに関する。本発明は、不揮発性メモリセルを記憶媒体として使用する場合に適用される。本発明で使用する不揮発性メモリセルは具体的には、個々のセルを消去するのではなく、メモリセルのブロックを消去することのできる種類のメモリセルである。フラッシュE P R O Mセル、カルコゲニドメモリセル、フェロオプティックセルなどの各種メモリセルを使用することができる。

コンピュータ用の一般的なメモリ記憶装置の多くは、磁気ディスク装置のような回転する記憶媒体を基本としている。しかし、回転記憶媒体にはいくつかの欠点がある。これらの装置は回転する円板から構成されるため、比較的大きな電力を必要とする。シーク待ち時間（ヘッドが正しい位置に移動するのにかかる時間）および回転待ち時間（トラックの正しい部分の位置を見つけるのにかかる時間）のために、これらの装置は読出し／書込みが比較的遅い。磁気ディスクは比較的重く、あまり頑丈ではない（衝撃に敏感である）。対照的に、半導体メモリは

軽量かつ頑丈で、消費電力もごくわずかであり、動作が高速である。以上の理由から、磁気ディスクと等価のソリッドステート装置の使用が望ましい。ソリッドステートメモリとして選択される特定の半導体は、高密度、不揮発性で、ビットあたりのコストが低いことが好ましい。このことから、フラッシュメモリは候補として理想的である。

ソリッドステートディスク装置用の記憶媒体としてフラッシュメモリを使用する従来技術の文献は多い。これらの文献には以下の特許が含まれる。E P 0 3 9 2 8 9 5、E P 0 4 2 4 1 9 1、E P 0 5 2 2 7 8 0、E P 0 5 9 7 7 0 6、E P 0 6 1 7 3 6 3、E P 0 6 1 8 5 3 5、E P 0 6 1 9 5 4 1、G B 2 2 5 1 3 2 3、W O 9 3 0 2 4 1 8、W O 9 4 1 9 7 4 6、W O 9 4 2 0 9 0 6、W O 9 4 2 3 3 6 9、W O 9 4 2 3 4 3 2、W O 9 5 1 4 2 7 2、W O 9 5 1 0 0 8 3、U S 4 5 1 1 9 6 4、W O 8 4 0 0 6 2 8、W O 9 5 1 0 0 8 3、W O 9 5 1 4 2 7 2。これらの文献の多くは共通するある特徴を有する。例えば、大部分の

文献は、ホストコンピュータの論理アドレス（通常はCHS（シリンダーヘッドーセクタ）フォーマットである）をフラッシュメモリの物理アドレスに、またはフラッシュメモリの

物理アドレスを生成するのに使用する中間アドレスに変換するテーブルの使用を開示している。また、大部分の文献は、一つのブロックが、別のブロックを実質的に上まわる回数書き込まれることがないようにする何らかの手段を有する。フラッシュソリッドステートディスクエミュレータの第三の共通する特徴は、半導体への書き込みを高速化するバッファである。バッファは通常、SRAM（スタティックランダムアクセスメモリ）などの高速メモリから作られる。

フラッシュメモリを記憶媒体として使用する全てのソリッドステートディスクエミュレーションシステムは、セルの消去および書き込みを制御する何らかの方法も有していなければならない。これらのセルは、消去に比較的長い時間がかかること、及び一度セルに書き込むと、セルを消去しなければ再度書き込むことができないことがその理由である。本発明は、ソリッドステートディスクエミュレーションシステムに使用することができるメモリセルの書き込みおよび消去を制御するアルゴリズムを使用する。

EPO522780には、各セルの消去回数、各メモリブロックのステータス、およびメモリに書き込むべきデータを保持

するバッファを記録したメモリ管理テーブルを使用するソリッドステートディスクのための制御方法が記載されている。この方法は、最初のブロックを消去する前に消去されるセクタを別のブロックにコピーすることを含む。

EPO392895は、メモリ動作を高速化するためにフラッシュメモリへの書き込みをバッファリングするキャッシュメモリの使用に関する。これに開示されたメモリシステムは、「各データファイルが最後に書き込まれてからの時間」を判定する手段を使用する。この特許は、エラーの修正および欠陥の置換にも関するが、これらは以下に論じる分割出願の主題でもある。

EPO618535は、欠陥置換を備えたソリッドステートディスクエミュレ

ータに関する。

EP0617363は、フラッシュメモリ中の欠陥セルを、メモリ中の欠陥位置から予備の位置を指すポインタを使用することによって修正する方法に関する。

EP0424191は、規定された順序でアクセス可能なメモリに順次データを記憶する方法に関する。メモリの欠陥は、順序付けされたディレクトリに記憶され、メモリの書き込み時には、これらの欠陥位置はスキップされる。

EP0619541は、中央処理装置からのランダムアクセスが可能なソリッドステートディスクエミュレーティングシステムを提供する。このシステムはまた、各メモリブロックの消去回数を計数し、これによってブロックが多数回書き込まれた場合にはそのブロックを回避することができる。

EP0597706は、ホストが与えた論理セクタアドレスを半導体メモリの物理アドレスにマップするマップROMを使用するソリッドステート周辺記憶装置を開示している。半導体メモリの全ての不良セクタのアドレスがマップROMに記録される。このマッピングを制御するためにマイクロシーケンサが使用される。

GB2251323には、フラッシュメモリ用のディスクエミュレーションシステムが記載されている。この開示に記載されたクリーンアップ動作は、ある条件を満足するときにバックグラウンドタスクとして生じるという意味でのみ自動である。反復使用回数の最も少ないブロックか、または消去されたセクタの数が最も多いブロックが消去される。これによって、消去するブロックが本質的にランダムに選択される。

WO9420906には、ディスク装置の動作をエミュレー

トするのに使用するフラッシュファイルシステムが開示されている。このシステムは、書き込み可能なフラッシュメモリブロックに関する情報を記憶するブロック割当てマップを使用する。ブロックを更新するときには、未使用のブロックの位置が見つかるまで割当てマップが調べられる。転送ユニットを使用して、システ

ムのメモリ再生を容易にしている。転送ユニットは、書き込まれていない消去されたメモリブロックである。古いデータ（古いブロック）を含むメモリブロックのアクティブデータ（現在有効なデータ）は、転送ユニット（新しいブロック）の同じ位置に書き込まれ、古いブロックは消去される。次いで、この古いブロックが転送ユニットになる。

WO 9 4 2 3 4 3 2には、フラッシュメモリの大容量記憶アーキテクチャが開示されている。変更されたデータファイルを空の大容量記憶ブロックにプログラムすることによって消去サイクルは回避される。記憶領域はマルチセクタ消去によって定期的にクリーンアップされる。カウンタを使用して、最大回数を超えて消去されるブロックがないことを保証する。

WO 9 4 2 3 3 6 9には、WO 9 4 2 3 4 3 2と非常に類似したフラッシュメモリの大容量記憶アーキテクチャが開示され

ている。これらの二つの開示は同じ出願人によるものである。

WO 9 4 1 9 7 4 6には、一度に2バイトを記憶するフラッシュソリッドステート装置が開示されている。セクタがフラッシュメモリに書き込まれるたびに、それとともにヘッダも書き込まれる。そのセクタの古いバージョンがメモリ中に存在する場合には、それには無効の印がつけられる。記憶空間があるしきい値を下まわるとクリーンアップ動作が実行される。セクタからの良好なデータは、バッファにコピーされ、セクタが消去されると、この良好なデータは再びそのセクタへコピーされる。

WO 8 4 0 0 6 2 8には、記憶媒体の欠陥を管理する方法が開示されている。この方法には、ホストからアドレスを受け取ること、そのアドレスより下位の欠陥位置の数で受け取ったアドレスを補償すること、および補償されたアドレスにアクセスすることが含まれる。記憶媒体の欠陥位置が順序づけられたリストが構築される。

WO 9 5 1 0 0 8 3では、各ブロックが受けた消去回数を計数するためのカウンタを使用し、データファイルの更新バージョンを新しい位置にコピーする。システムをクリーンアップするためにブロックは定期的に消去される。半導体メモ

リ中のブ

ロックは、市販のハードディスクのセクタサイズに適合するようにサイズが決められる。

WO 9 5 1 4 2 7 2 は、アクセスすべき論理ブロックの番号から正しい開始物理アドレスを生成する方法を提供する。

本発明の好ましい実施形態は、メモリ全体を通じた消去／書込みサイクルの自動等化を提供する。この自動等化は、ある時間の後のバックグラウンドタスクとしてではなく、データの書込みの最中に等化が実施されるという点で完全な意味において自動である。本発明の好ましい実施形態は記憶データの自動圧縮も提供する。本発明の好ましい実施形態はまた、使用可能なフラッシュメモリ容量を100%の効率で使用することができる。すなわち、使用可能なフラッシュメモリを全て使用することができる。本発明の好ましい実施形態を、どんなサイズの消去可能ブロックを有するフラッシュメモリにも使用することができる。消去可能ブロックのサイズが512バイトである必要はない。これによって、記憶された各データセグメントに誤り訂正コードを含めることが可能となる。本発明はまた、物理アドレス空間からフラッシュアドレス空間への変換を非常に単純化する。

本発明は、ディスク装置をエミュレートするソリッドステートメモリであって、論理アドレスを記憶装置にアクセスするための第二のアドレスに変換する変換手段と、ブロック単位で消去可能な不揮発性メモリセルから構成される記憶装置を備えており、記憶装置内の書き込まれていない位置を指すために第一のポインタが使用され、前記書き込まれていない位置を含む消去可能ブロックの次の消去されていない消去可能ブロックを指すために第二のポインタが使用され、第一のポインタと第二のポインタの間に少なくとも一つ消去された状態の消去可能ブロックが常にあることを保証すべく制御手段が設けられていることを特徴とするソリッドステートメモリを提供する。前記記憶装置内の書き込まれていない位置が記憶装置内の最下位の書き込まれていない位置であるソリッドステートメモリ。

記憶装置内の前記書き込まれていない位置が記憶装置内の最上位の書き込まれ



ていない位置であるソリッドステートメモリ。

前記書き込まれていない位置を含む消去可能ブロックの次順の消去されていない消去可能ブロックが、第一のポインタより上の最も下位の物理アドレスを有する消去されていない消去可能ブロックであるソリッドステートメモリ。

前記書き込まれていない位置を含む消去可能ブロックの次順の消去されていない消去可能ブロックが、第一のポインタより下の最も上位の物理アドレスを有する消去されていない消去可能ブロックであるソリッドステートメモリ。

前記書き込まれていない位置を含む消去可能ブロックの次順の消去されていない消去可能ブロックが、適当なアルゴリズムによって決定されるソリッドステートメモリ。記憶装置へのデータの書き込み速度を向上させるためにバッファを使用するソリッドステートメモリ。

前記バッファがSRAMバッファであるソリッドステートメモリ。

前記バッファがDRAMバッファであるソリッドステートメモリ。

前記記憶装置がフラッシュEPROMであるソリッドステートメモリ。

前記記憶装置がカルコゲニドセルから構成されたソリッドステートメモリ。

前記記憶装置がフェロオプティックメモリであるソリッドステートメモリ。

前記制御手段が、マイクロプロセッサ、マイクロコントローラ、またはステートマシンによって提供されるソリッドステートメモリ。

本出願においては、書き込まれていない位置とは、これまで書き込まれたことのない位置を意味するのではなく、消去状態にある位置を意味する。

本出願においては、第二のアドレスを、物理アドレス、物理ブロックアドレス、または中間アドレスとすることができる。

本発明を、添付図面に参照して例示的な方法で具体的に説明する。

第1図は、磁気ディスク装置をエミュレートするメモリシステムのブロック図である。

第2図は、フラッシュメモリ内の細分化部分の階層を示す図である。

第3A図および第3B図は、書き込み／消去アルゴリズムが、メインフラッシュ

メモリの消去および書込み動作を実施した位置および頻度を管理する方法を示す図である。

第3A図は、消去／書込みアルゴリズムが実施される前のフラッシュメモリを示す図である。第3B図は、書込み／消去ア

ルゴリズムが実施された後の同じフラッシュメモリを示す図である。

第1図を参照すると、フラッシュメモリ10は、ホストから受け取ったデータの主記憶装置として使用される。フラッシュメモリ10はメモリコントローラ12によって制御される。メモリコントローラ12は、フラッシュメモリ10と特定技術に依存しないインタフェース14との間で動作する。メモリコントローラ12は、物理メモリ（フラッシュメモリ10）内の高レベル機能の低レベル実行を制御する。メモリコントローラ12は、特定のメモリ技術に依存する。

特定技術に依存しないインタフェース14は、メモリコントローラ12をシステムコントローラ16に接続する。システムコントローラ16は、メインフラッシュメモリ10内のブロック構造データ、およびフラッシュメモリ10へのデータの書込みを高速化するために含められる書込みバッファ18内のブロック構造データの記憶およびアクセスを管理する。システムコントローラ16は以下の機能を実行する。システムコントローラは、ホストからの論理アドレスを、フラッシュメモリ10での使用に適したアドレスに変換する。この変換を以下、論理-

物理アドレス変換と称する。この変換により、一つまたは複数の中間アドレスが生成されることがある。システムコントローラは、必要な全てのアドレスルックアップテーブルを保持する。システムコントローラは、フラッシュメモリ10の欠陥位置を管理する。システムコントローラは書込みバッファ18を管理する。システムコントローラは、フラッシュメモリ10のブロック消去を管理する。システムコントローラは、電力の投入／除去後のシステムの起動／遮断を管理する。

ホストからのセクタ書込みは全て、書込みバッファ18に送られる。これによって、フラッシュメモリの低速書込み速度の影響が最小限となる。セクタデータ

は、書込みバッファ 18 からフラッシュメモリ 10 にバックグラウンドタスクとして転送される。書込み速度が重要でない用途では、書込みバッファ 18 を省略することができる。

システムコントローラ 16 は、補助記憶装置 20 およびホストインターフェース 22 に接続される。補助記憶装置 20 は、フラッシュメモリ 10 の欠陥ブロック及び消去可能ブロックテーブル、アドレス変換テーブル、エラーログ、マイクロコントローラファームウェアなどの情報を記憶するのに使用される。

補助記憶装置には、ホストインターフェース 22 から直接にアクセスすることができ、直接にマップされたメモリアドレス空間をホストに提供することができる。第 2 図を参照すると、メインのフラッシュメモリ 10 は以下の細分化階層に配置される。フラッシュメモリは、一つまたは複数の半導体チップ 30 から構成される。半導体チップ 30 は、論理的意味を一切持たない物理的細分化部分である。消去ブロック 32 は、半導体チップ 30 の細分化部分である。消去ブロックは、一回の消去動作で消去することができる最小数のセルである。半導体チップ中の消去ブロックの数は、チップサイズおよびチップ構成に応じて変化する。長方形のワード位置群がフラッシュブロックとして割り当てられる。フラッシュブロック 34 は、欠陥管理においてマスク可能な最小のブロックサイズである。セルが不良である場合に、マスクしたり、置換したりすることができる最小の領域がフラッシュブロック 34 である。欠陥マッピングは、一つのフラッシュブロック 34 の細分性 (granularity) を有する。セクタは、ディスクエミュレーションプロトコルに基づく一つのデータ単位である。フラッシュメモリに記憶されたデータ (一般には、512 バイトに ECC バイトおよびヘッダを加えたも

の) を以下、フラッシュセクタと称する。ホストのオペレーティングシステムによって送られたデータ (一般に 512 バイト) を以下、ホストセクタと称する。ホストセクタは、ホストとのデータ転送の基本単位である。最も一般的なホストセクタのサイズは 512 バイトである。フレーム 36 はフラッシュブロック 34 の、例えば、長方形のフラッシュブロック 34 内の行などのアドレス可能なサブ

ユニットである。各ワード38は、特定技術に依存しないインタフェース14でアドレス可能な最小単位としてランダムにアクセス可能である。ワードサイズは、メモリシステムのデータ入出力の幅によって設定され、1、2、または4バイトとすることができる。

ワード内のビットの実際の物理的位置は、本発明に使用するアルゴリズムにはトランスペアレントである。フラッシュメモリは単に、ワード位置の長方形アレイとして取り扱われる。

フラッシュブロック34のサイズは、ホストセクタサイズ（ほとんどの場合512バイト）、フレームサイズ、またはワードサイズと等しくなるように設定することができる。メモリハーベスト（メモリ全体のうちのデータ記憶に使用できる部分）は、あるフラッシュブロックサイズの値よりも小さい値で

停滞し、そのためフラッシュブロックサイズをさらに小さくしてもメモリハーベストの増大にはつながらない。しかし、フラッシュブロックサイズが小さいことに関連する欠点がある。フラッシュブロックのサイズが小さいほど、より多くの記憶管理空間が必要となる。コンポーネント試験の複雑さも増大する。したがって、フラッシュブロックのサイズには最適な範囲がある。

本発明のコンセプトから逸脱することなく、各種アドレス指定フォーマットを本発明とともに使用することができる。

メモリを100%利用するためには、セクタの開始アドレスは、前のセクタの終端アドレスの直後のワードでなければならない。これを達成するため、開始アドレスは、シングルワードの分解能（resolution）に規定される。フラッシュセクタは隙間をあげずに記憶されるので、フラッシュセクタは、フラッシュブロックおよび消去ブロックの両方をオーバーフローする。このような場合のフラッシュセクタは分割セクタとして知られ、その連続領域は、次のフラッシュブロックまたは消去ブロックの最初に置かれる。したがって、フラッシュブロック内のフラッシュセクタの開始アドレスはフラッシュブロックごとに異な

る。これを容易に管理できるのを確実にするには、消去ブロックが書き込まれる

順序がそれらの物理アドレス指定の順序に正確に対応するのを保証する必要がある。フラッシュブロック内に欠陥セルがある場合には、そのブロックはマスクされて除外される。そのため、フラッシュセクタの一部が一つのフラッシュブロックに記憶され、次のフラッシュブロックがマスクされて除外され、フラッシュセクタの残りの部分が、マスクされて除外されたフラッシュブロックの直上のフラッシュブロックに記憶されるような状況が生じることがある。したがってフラッシュメモリ空間は不連続となることがある。

第3 A図および第3 B図に、書込み／消去アルゴリズムが、メインフラッシュメモリの消去および書込み動作の実施される位置および頻度を管理する方法を示す。第3 A図は、消去／書込み段階の前のフラッシュメモリを示す図である。第3 B図は、書込み／消去段階後の同じフラッシュメモリを示す図である。

このアルゴリズムは、二つのポインタ、すなわち書込みポインタおよび消去ポインタの存在に基づく。これらはそれぞれ、現在の書込みおよび消去位置を規定する。位置は、物理セクタアドレスとして規定され、ポインタは、物理セクタアドレス空

間を循環する。書込みポインタは、次のセクタ書込み動作が実施されなければならない物理セクタの番号を規定する。このセクタの物理的位置は、メモリシステム内のシステムコントローラ 16 によるデータ書込みに備えて事前に消去されていることが保証されている。書き込まれるセクタデータは、ホストからのセクタ書込み後の書込みバッファ 18 からのものでもよいし、または消去ブロックの消去動作に備えたメインフラッシュメモリ 10 内の別のセクタからのものでもよい。セクタ書込み動作に続いて、書込みポインタは一つ増分されて、次の上位の物理セクタアドレスを指す。書込みポインタが、使用可能な最も上位の物理セクタアドレスに達したときには、ポインタはラップアラウンドし、使用可能なもっとも下位の物理アドレスを指す。

消去ポインタは、次に消去される予定の消去ブロックのフラッシュメモリ空間における消去ブロックアドレスを規定する。消去ポインタの第二フィールドは、消去ブロックの最下段に位置する最初の完全なセクタの物理セクタ番号を規定す

る。消去ブロックの消去動作後に、消去ブロック番号が一つ増分される。ルックアップテーブル（以下、消去ブロックテーブルと称す）から、消去ポインタが指す消去ブロックの最初のセクタの物理

セクタアドレスが提供される。その消去ブロックが全て欠陥で、書き込み可能なセクタを全く含まない（これは、消去ブロックテーブル中の特定のエントリで示される）場合は、消去ポインタは再び増分される。消去ポインタが、使用可能な最上位の消去ブロックに達したときには、ポインタは、メモリの最下位部分に戻り、使用可能な最下位の消去ブロックを指す。消去ブロックは、現在の書き込み位置の直上の消去されたセクタ位置の数がほぼ一定に保たれるような速度で消去される。したがって消去動作は、消去ポインタで規定されたセクタ番号と書き込みポインタで規定されたセクタ番号の差があるしきい値より小さくなったときに実行される。消去ブロックを消去する前に、その消去ブロック内の有効データを含むセクタを再配置しなければならない。この有効データの再配置は、有効データを含むセクタを再配置バッファ（以下、転送バッファと称す）に読み出し、次いでこれらのセクタを、書き込みポインタが指す位置に書き込むことによって実施される。論理－物理アドレス変換テーブルは、そのセクタの新しい物理セクタアドレスを指すように更新される。このようにして有効セクタのみが再配置され、古いデータを有するセクタは自動的に消去されるので、記憶データの自動

圧縮が提供される。

このアルゴリズムによって確立されたプロセスは、消去されたメモリの連続した小領域が、フラッシュメモリ空間全体を循環し、その上部境界で遭遇する断片化されたセクタを排除し、その下部境界でそれらを圧縮し、再配置することと等価であると考えることができる。

本発明の範囲内で前述の実施形態に各種修正を実施できることを理解されたい。例えば、代替配置として、消去されたメモリセルの連続領域を別の方向に移動させることができる。すなわち下部境界が、下部境界の直下の断片化されたセクタを排除する場合には、有効データは、上部境界の直下の位置に書き込まれる。

【図1】

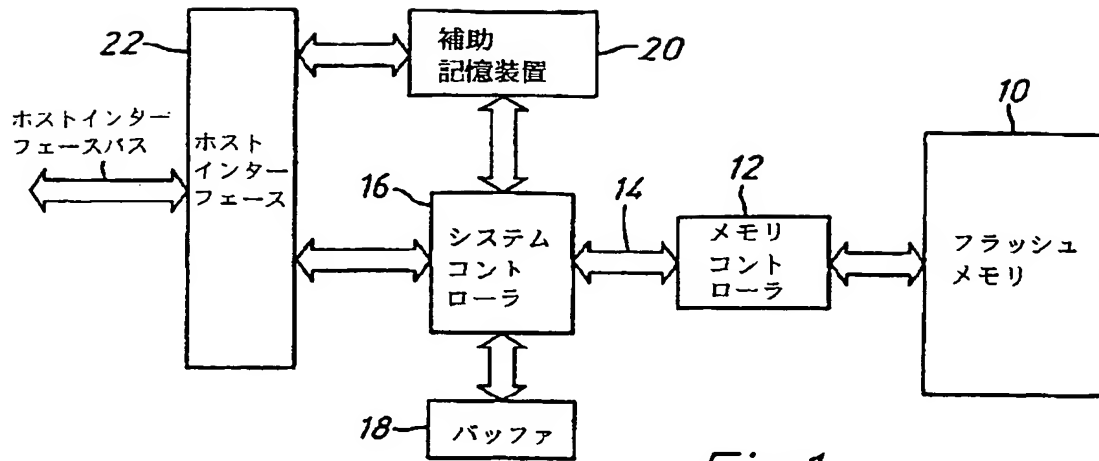


Fig.1

【図2】

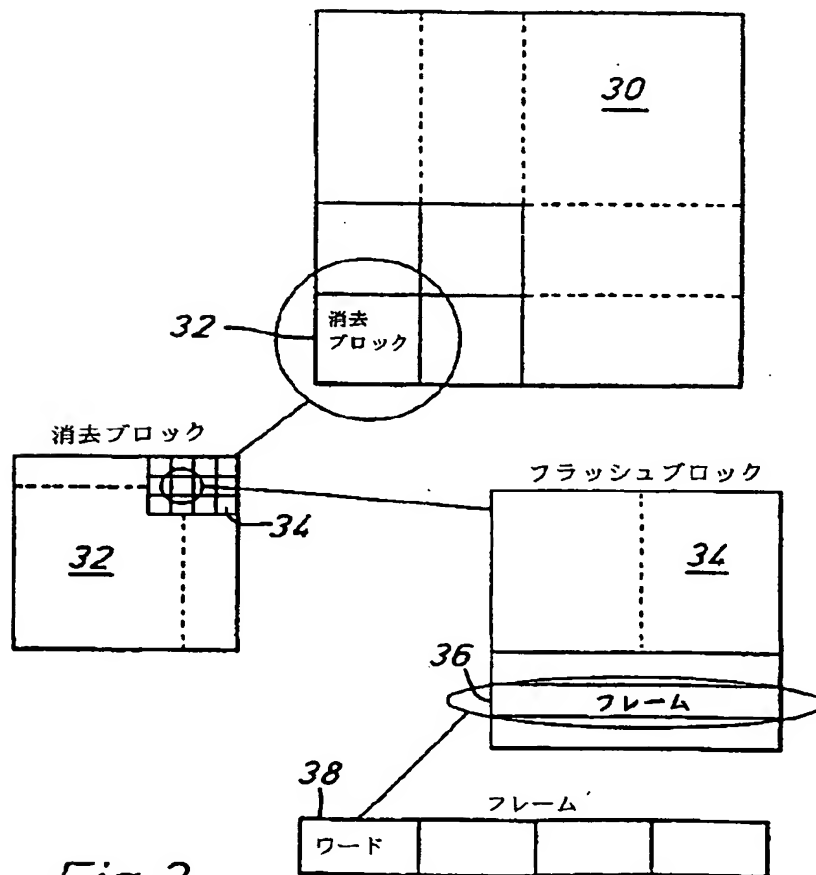


Fig.2

【図 3】

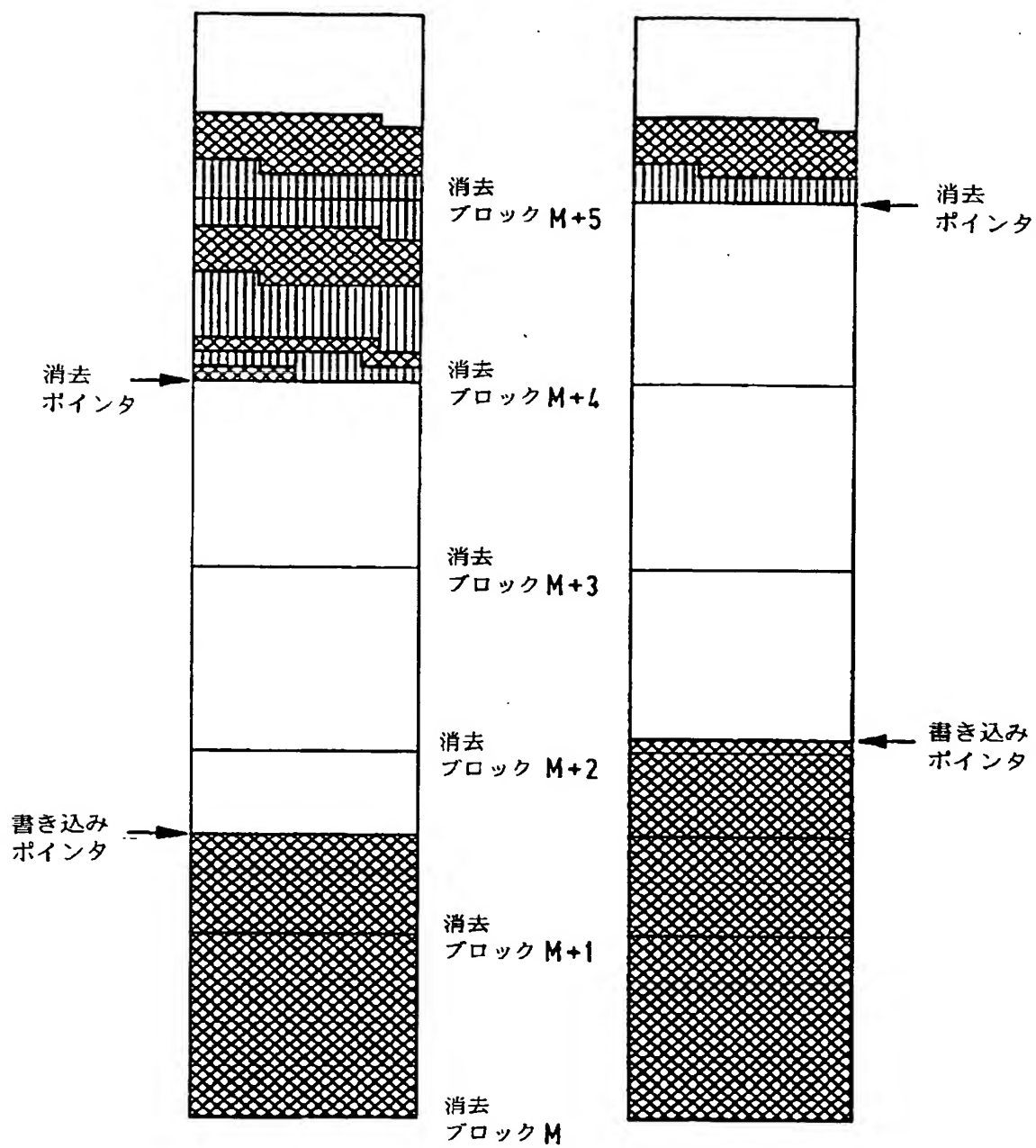


Fig. 3a

Fig. 3b



【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International Application No.  
PCT/GB 96/00250

A. CLASSIFICATION OF SUBJECT MATTER IPC 6 G06F12/02 G06F3/06 G11C16/06		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 G06F G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP,A,0 544 252 (FUJITSU LTD) 2 June 1993 see abstract; figure 1 see column 4, line 31 - line 36 see column 5, line 1 - line 10 see column 8, line 41 - column 9, line 35; figures 8,9	1,10
A	FR,A,2 665 791 (MAZINGUE DIDIER; REMERY PATRICK) 14 February 1992 see page 1, line 27 - page 2, line 28	1,10
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search  20 May 1996		Date of mailing of the international search report  17.06.96
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patendaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Authorized officer  Ledrut, P

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/GB 96/00250

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-0544252	02-06-93	JP-A- 5151097 EP-A- 0686976	18-06-93 13-12-95
FR-A-2665791	14-02-92	NONE	